

FlexPacFAM

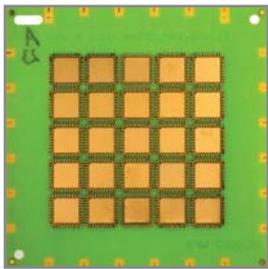
Flexibles Packaging von mikrosystemtechnischen Bauelementen basierend auf Leiterplattenträgern mittels Film-Assisted-Molding

Projektmotivation und -ziel

Produktspezifische Packages für mikrosystemtechnische Bauelemente sind derzeit für KMU nur schwer erhältlich, insbesondere wenn diese auch noch schnell verfügbar sein sollen. Dies liegt darin begründet, dass KMUs derzeit selbst bei gängigen Standardgehäusen ihre Aufträge als Bestellergruppen über Zwischenhändler an Verpackungsunternehmen in Fernost vergeben müssen, was zu längeren Wartezeiten führt. Alternativ muss man als Einzelkunde so hohe Grundkosten aufbringen, dass die Wirtschaftlichkeit der Entwicklung gefährdet ist. Daher wird für die in Deutschland ansässigen KMUs ein flexibles Packaging-Verfahren benötigt.

Im Projekt FlexPacFAM werden leiterplattenbasierte Packaging-Lösungen untersucht, da Leiterplatten flexibel an kundenspezifische Anforderungen angepasst werden können und in mittleren oder kleinen Stückzahlen kurzfristig verfügbar sind. In Verbindung mit dem Film Assisted Molding (FAM) Verfahren können somit Packaging-Lösungen von Standard-Packages wie z.B. QFN-Packages bis hin zu speziellen Packages wie z.B. Bildsensor- oder Inertialsensorkackages realisiert werden, die im Rahmen dieses Projektes exemplarisch untersucht werden.

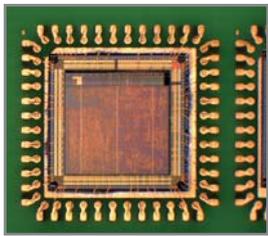
Vom Leiterplattennutzen zum fertigen QFN-FlexPac



Erstellung des Trägersubstrates

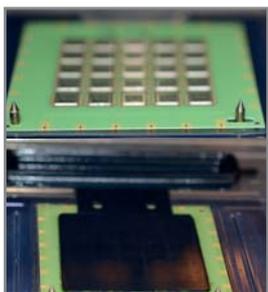
Das Leiterplattenlayout wird mit den gängigen Softwarelösungen ausgelegt. Zur Erhöhung der Produktivität und somit der Kostensenkung erfolgt das Packaging im Leiterplattennutzen. Für einen Demonstrator eines QFN¹-Packages wurde ein Leiterplattennutzen für 25 ASIC-Chips konzipiert. Die Leiterplatte mit einer Dicke von 300 µm wurde 4-lagig mit vergrabenen Vias zur Kontaktierung des ASIC-Chips auf der Leiterplattenunterseite ausgelegt.

¹QFN Quad Flat No-Lead



Chipmontage

Zur Erhöhung der Haftung des Epoxy Molding Compounds (EMC) auf der Leiterplatte wird diese vor der Chipmontage mittels einer Plasmavorbereitung oberflächenaktiviert. Die ASICs werden mittels Die-Attach auf die Leiterplatte geklebt und anschließend mit Hilfe von Au-Drahtbonds elektrisch kontaktiert.



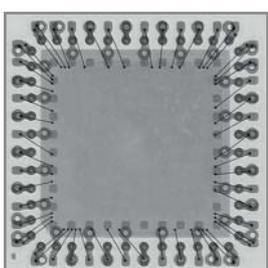
Verkapselung mittels Film Assisted Molding (FAM)

Für das Packaging wird das FAM-Verfahren eingesetzt. Bei diesem Verfahren wird in die Werkzeugkavität eine ETFE-Folie eingelegt, um eine Anhaftung des EMCs im Werkzeug zu vermeiden. In die Werkzeugkavität werden die bestückten und Au-Draht gebondeten Leiterplattennutzen eingelegt und mit dem EMC verkapselt. Zu Prozessbeginn werden die EMC-Pellets im 180 °C heißen Werkzeug aufgeschmolzen. Durch einen Stempel (Plunger) wird die schmelzflüssige Masse nahezu drucklos (max. 8 bar) in die Kavität gedrückt, bis sie diese vollständig ausfüllt. Danach erfolgt der Aushärteprozess bei dem das EMC zum Großteil vernetzt. Die Prozesszeit liegt im Bereich von 2 – 4 min. Anschließend wird das Werkzeug geöffnet und der verkapselte Leiterplattennutzen kann entnommen werden.



Vereinzelung der QFN-FlexPac

Die Vereinzelung des Leiterplattennutzens erfolgt mittels einer Wafersäge. Dazu benötigt man entsprechende Fiducials auf dem Leiterplattennutzen. Für das Vereinzeln werden die Leiterplattennutzen zuerst auf eine Klebefolie aufgebracht und anschließend mit einem Diamantsägeblatt getrennt. Anschließend werden die gesägten Leiterplattennutzen mit Hilfe einer Hochdruckreinigung vom Sägestaub freigespült. Danach wird die Folie, auf der die gesägten Packages kleben, expandiert, so dass der Abstand von Package zu Package vergrößert wird und diese für nachfolgende Prozesse abgepickt werden können.



Charakterisierung der QFN-FlexPac

Die QFN-Packages werden mittels Röntgendurchstrahlprüfung auf fehlerhafte Au-Drahtbondverbindungen vor der Vereinzelung getestet. Nach der Vereinzelung werden die QFN-Packages mit einem Prüfsockel elektrisch charakterisiert. Aktuell sind Untersuchungen zur Zuverlässigkeit bzw. zur Qualifizierung der Packages mit Temperaturschocktest, Hochtemperaturlagerung, Feuchte-Wärme-Lagerung sowie einer MSL-Prüfung nach Level 3 geplant.

Danksagung

Wir danken dem projektbegleitendem Ausschuss für die Unterstützung des Forschungsvorhabens. Weiterhin danken wir der AiF, die dieses Forschungsvorhaben 17602 N im Rahmen des Programms zur Förderung der industriellen Gemeinschaftsforschung und -entwicklung (IGF) vom Bundesministerium für Wirtschaft und Technologie aufgrund eines Beschlusses des Deutschen Bundestages fördert.